

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

PAT-NO: JP410341240A  
DOCUMENT-IDENTIFIER: JP 10341240 A  
TITLE: EXCHANGE DEVICE  
PUBN-DATE: December 22, 1998

INVENTOR- INFORMATION:  
NAME

TANIGUCHI, HIROKI

ASSIGNEE- INFORMATION:  
NAME  
COUNTRY  
TOYO COMMUN EQUIP CO LTD N/A

APPL-NO: JP09165287  
APPL-DATE: June 6, 1997

INT-CL (IPC): H04L012/28, H04Q003/00 , H04Q011/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the exchange device that provides outputs of packets in the arrival time order of the packets.

SOLUTION: The exchange 1 that is used for a

packet exchange asynchronous transfer mode network is provided with an input information provision means 2 that provides number information to received data in the arrival time order, a plurality of input buffer means B1-Bn that store the input data provided with the number information by the input information provision means 2, and an output control means 5 that reads the number information of the input data stored in the input buffer means B1-Bn and provides output of the data in the order of the number.

COPYRIGHT: (C)1998, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-341240

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>9</sup>  
H 04 L 12/28  
H 04 Q 3/00  
11/04

### 識別記号

F I  
H 04 L 11/20  
H 04 Q 3/00  
11/04

H  
R

審査請求 未請求 請求項の数2 FD (全 6 頁)

(21) 出頭發骨

特圖平9-165287

(22) 出願日

平成9年(1997)6月6日

(7) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 谷口 裕樹

神奈川県高座郡寒川町小谷二丁目 1

東洋通信機株式会社内

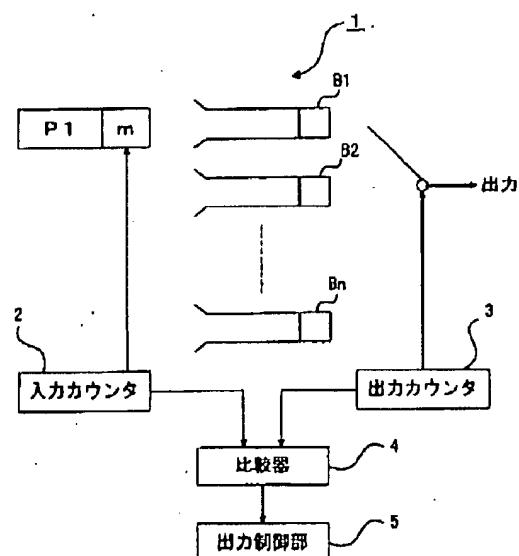
(74) 代理人 弁理士 井上 俊夫

(54) 【発明の名称】 交換装置

(57) (要約)

【課題】 パケットの到着時刻順に出力する交換装置を提供すること。

【解決手段】 パケット交換型の非同期転送モード網で使用される交換装置1であって、入力データに対して到着順に番号情報を付与する入力情報付与手段2と、入力情報付与手段2によって番号情報が付与された入力データを格納する複数の入力バッファ手段B1～Bnと、入力バッファ手段B1～Bn内に格納された入力データの番号情報を読み出し、番号順にデータを出力する出力制御手段5とを備えるように構成する。



## 【特許請求の範囲】

【請求項1】入力データに対して到着順に番号情報を付与する入力情報付与手段と、  
入力情報付与手段によって番号情報が付与された入力データを格納する複数の入力バッファ手段と、  
入力バッファ手段内に格納された入力データの番号情報を読み出し、番号順にデータを出力する出力制御手段と、を備えることを特徴とする交換装置。

【請求項2】パケット交換型の非同期転送モード網で使用される交換装置であって、  
入力データに対して到着順に番号情報を付与する入力情報付与手段と、  
入力情報付与手段によって番号情報が付与された入力データを格納する複数の入力バッファ手段と、  
入力バッファ手段内に格納された入力データの番号情報を読み出し、番号順にデータを出力する出力制御手段と、を備えることを特徴とする交換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、パケット交換機能を有する多重変換装置等の交換装置に関する。

## 【0002】

【従来の技術】データ伝送に適した交換方式としては、大別して、時分割を基本として回線交換方式と、メモリを用いた蓄積交換方式がある。そして、蓄積交換方式の代表的な方式としてパケット交換方式がある。パケット交換方式では、メッセージを一定長のブロックに分割し、各ブロックごとに宛て先、シーケンス番号等を含むヘッダ情報を付与し、蓄積交換技術を用いて転送する。このヘッダ情報を有するメッセージブロックをパケットといい、パケット交換網内を転送されたパケットは、最終目的地の交換機に集められ、シーケンス番号にしたがってパケットの順序をそろえ、ヘッダ情報を取り除かれてもとのメッセージを再構築する。

【0003】パケット交換機能を有する多重変換装置等の交換装置、とくに、入力段にバッファ回路を有する入力バッファ型の交換装置では、入力バッファ型交換装置に接続される物理的または論理的な入力チャネルに対して、各入力段ごとにFIFO (First In First Out) 型のバッファ回路を設けている。そして、出力対象となる任意のバッファ回路から信号を抽出することにより、出力処理を行うように構成されている。

【0004】また、出力段から所望のパケットを出力する場合、入力段中の任意の1段を選択することによって1つのパケットを送出する。このとき、入力段の中から任意の1段を選択する方法は、交換装置に設定された、出力段の選択処理に関するアルゴリズムによって異なる。このため、出力段の選択処理に関するアルゴリズムが変わると出力されるパケットの順番も異なってくる。

## 【0005】

【発明が解決しようとする課題】このように、従来の交換装置では、出力段の選択処理に関するアルゴリズムによっては、入力パケットの到着時刻順にパケットを出力したくてもできないことがあるという問題点があった。これを図4に基づいて説明する。なお、図4では、説明を簡便にするために、パケットを固定長とし、入力物理チャネル数を3、各入線・出線速度はそれぞれ同一の交換装置（多重変換装置）を想定するものとする。

【0006】図4は、入力チャネルに入力されるパケットと出力チャネルから出力されるパケットとの関係を時系列的に表したものである。同図では、各入力チャネル ch0, ch1, ch2, …に所定のタイミングで入力されるパケットが、出力チャネルから出力されるタイミングの一例を示している。また、各パケットには、交換装置に到着した順に連続番号P1～P12を割り振っている。

【0007】図5～図10は、図4中に示す各時刻T0～T5における各入力バッファの状態を示したものである。ここで用いられる出力段の選択処理に関するアルゴリズムは、各チャネルを番号順に出力段の巡回検査を行い、バッファ回路内にパケットが存在すれば出力するというものをとする。ここで、パケットの入力時刻順に出力処理を行う場合、出力チャネルからはパケットに割り振られた番号順に出力しなければならない。

【0008】すなわち、時刻T0では、図5に示すように、各入力チャネルch0～ch2に対応して設けられたバッファ回路B1～B3には、パケットP1, P2, P3をそれぞれ格納する。つぎに、時刻T1では、図6に示すように、バッファ回路B1を出力バッファとして選択し、バッファ回路B2, B3には、パケットP4, P5をそれぞれ格納する。時刻T2では、図7に示すように、バッファ回路B2を出力バッファとして選択し、バッファ回路B1, B3には、パケットP6, P7をそれぞれ格納する。

【0009】時刻T3では、図8に示すように、バッファ回路B3を出力バッファとして選択し、バッファ回路B2には、パケットP8を格納する。そして、時刻T4では、図9に示すように、再びバッファ回路B1を出力バッファとして選択し、バッファ回路B1～B3には、パケットP9, P10, P11をそれぞれ格納する。つぎに、時刻T5では、図10に示すように、バッファ回路B2を出力バッファとして選択し、バッファ回路B3には、パケットP12を格納する。

【0010】すなわち、図4に示す例では、時刻T4タイミングに、パケットP4よりもパケットP6のほうが先に送出されてしまっていることがわかる。このように、従来の入力バッファ型交換装置では、後から到着したパケットのほうが先に送出され、パケットの到着順にパケット伝送をすることができないという問題点があつた。このため、受信側装置では、パケットの到着順に所

定の処理を実行することはできない。

【0011】本発明の課題は、上記問題点を解決するためになされたものであり、パケットの到着時刻順に出力する交換装置を提供することにある。

【0012】

【課題を解決するための手段】本発明の多重交換装置は、パケット交換型の非同期転送モード網で使用される交換装置であって、入力データに対して到着順に番号情報を付与する入力情報付与手段と、入力情報付与手段によって番号情報が付与された入力データを格納する複数の入力バッファ手段と、入力バッファ手段内に格納された入力データの番号情報を読み出し、番号順にデータを出力する出力制御手段とを備えるように構成している。

【0013】

【発明の実施の形態】以下、図示した一実施形態に基づいて本発明を詳細に説明する。なお、本実施形態における交換装置として、入力バッファ型多重交換装置に適用した場合について説明する。

【0014】図1は、本実施形態における入力バッファ型多重交換装置の要部構成を示すブロック図である。同図において、入力バッファ型多重交換装置（交換装置）1は、n（nは1以上の整数）個のバッファ回路（入力バッファ手段）B1～Bnを設けることで、n個の入力物理チャネル数をもつ。また、装置全体の入力バッファの総パケット数（またはビット数）をm（mはn以上の整数）とし、入力時刻順番を0～（m-1）まで割り当てるものとする。そして、入力段には入力カウンタ（入力情報付与手段）2、出力段には出力カウンタ3を設け、入力カウンタ2および出力カウンタ3の出力値をそれぞれ比較する比較器4を設けている。また、比較器4の比較結果を示す出力は、出力制御部（出力制御手段）5に入力されている。

【0015】バッファ回路B1～Bnは、入力物理チャネル数に対応して設けられたメモリにより構成され、入力カウンタ2によって各パケットに対して割り当てられる到着順番番号情報に基づいて、あたかも FIFO バッファのように、データの入出力をを行うものである。入力カウンタ2は、m進のカウンタであり、入力パケットに対して、入力カウンタ2のカウンタ値を到着順番番号として付加する。これによって、バッファ回路B1～Bnに格納されるパケットには、到着順番番号が付与される。

【0016】出力カウンタ3は、m進のカウンタであり、パケットを出力するバッファ回路B1～Bnを選択するために、出力カウンタ3のカウンタ値を出力する。比較器4は、入力カウンタ2と出力カウンタ3とのカウント値を比較し、値が一致しているか否かを示す信号を出力する。出力制御部5は、比較器4からの出力信号に基づいて、入力カウンタ2と出力カウンタ3とのカウント値が一致していた場合、パケットの送出を一時停止さ

せる信号を出力するものである。

【0017】次に、上述の実施形態における入力バッファ型多重交換装置1の動作例を図2および図3に基づいて説明する。

【0018】図2は、本実施形態の入力バッファ型多重交換装置のパケット入力時の処理手順を示す流れ図である。パケット入力処理では、まず、各バッファ回路B1～Bnや入力カウンタ2および出力カウンタ3等の初期化処理を実行する（ステップS101）。そして、入力パケットに対して誤り訂正等の到着処理を行い（ステップS102）、到着処理が完了すると、各入力パケットに対して、入力カウンタ2が示す番号を、到着順番番号として付加して各バッファ回路B1～Bnに蓄積する（ステップS103）。

【0019】そして、入力カウンタ2をインクリメントする（ステップS104）。なお、同時に到着した入力パケットに対しては任意に順番を付けることにより、順番通りに処理を行う。本例では、チャネル番号が若い順に到着順番番号mを付与する。そして、パケットの到着の有無を確認し（ステップS105）、パケットが到着しない場合（ステップS105；N）、そのまま待機し、一方、パケットが到着した場合（ステップS105；Y）、ステップS102の処理から繰り返し実行する。

【0020】図3は、本実施形態の入力バッファ型多重交換装置のパケット出力時の処理手順を示す流れ図である。パケット出力処理では、まず、初期化処理を実行し（ステップS201）、つづいて、パケット送出開始時刻に達したか否かを確認する（ステップS202）。ステップS202の判断処理において、パケット送出開始時刻に達している場合（ステップS202；Y）、比較器4において入力カウンタ2と出力カウンタ3との各カウント値を比較し、一致しているか否かを判断する（ステップS203）。

【0021】ステップS203の判断処理において、入力カウンタ値と出力カウンタ値とが等しければ（ステップS203；Y）、出力制御部5は、パケット送出を今回は見送り（ステップS204）、次の送出開始時刻を待つ。なお、非同期伝送モードなどでは、ここで空きデータを送出する場合もある。

【0022】一方、ステップS203の判断処理において、入力カウンタ値と出力カウンタ値とが異なっていれば（ステップS203；N）、出力カウンタ3が示す到着順番情報をもつパケットを、各バッファ回路B1～Bn内に蓄積されたパケットに付与された到着順番番号に基づいて検索して送出する（ステップS205）。そして、出力カウンタ3をインクリメントし（ステップS206）、ステップS202の処理から繰り返し実行する。

【0023】以上説明したように、本実施形態では、出

5

力すべきパケットに付与されている到着順番番号に基づいて、パケットを送信することで、入力パケットの到着時刻順にパケット出力をを行うことができる。

【0024】なお、前述の実施形態では、入力バッファ型多重変換装置に適用したものを例に採って説明したが、これに限定されるものではなく、たとえば、入力バッファ型交換機にも適用可能である。さらに、前述の実施形態では、入力パケット到着時刻順に出力するものとして説明したが、任意の順番に並び替えて出力するよう にしても構わない。

【0025】

【発明の効果】以上の説明から明らかなように、本発明によれば、パケット出力時に、入力バッファ手段内に格納されたパケットの情報を参照して、出力切り替えを行うため、入力パケットの到着時刻順にパケット出力をを行うことができる。

【図面の簡単な説明】

【図1】本実施形態における入力バッファ型多重変換装置の要部構成を示すブロック図である。

【図2】本実施形態の入力バッファ型多重変換装置のパケット入力時の処理手順を示す流れ図である。

【図3】本実施形態の入力バッファ型多重変換装置のパケット出力時の処理手順を示す流れ図である。

6

【図4】従来例のアルゴリズムによる入力チャネルに入力されるパケットと出力チャネルから出力されるパケットとの関係を時系列的に表したものである。

【図5】図4中に示す時刻T0における各入力バッファの状態を示したものである。

【図6】図4中に示す時刻T1における各入力バッファの状態を示したものである。

【図7】図4中に示す時刻T2における各入力バッファの状態を示したものである。

10 【図8】図4中に示す時刻T3における各入力バッファの状態を示したものである。

【図9】図4中に示す時刻T4における各入力バッファの状態を示したものである。

【図10】図4中に示す時刻T5における各入力バッファの状態を示したものである。

【符号の説明】

1 入力バッファ型多重変換装置（交換装置）

2 入力カウンタ（入力情報付与手段）

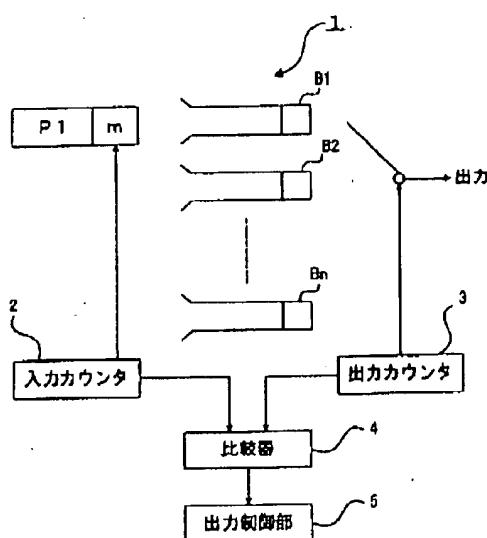
3 出力カウンタ

4 比較器

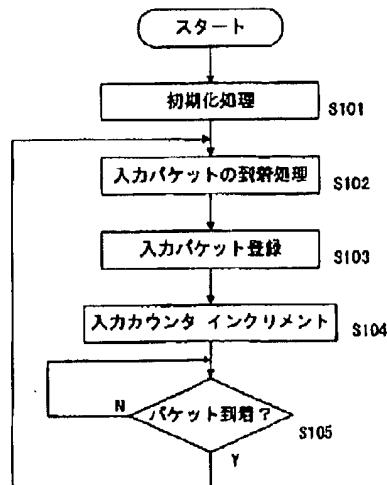
5 出力制御部（出力制御手段）

B1～Bn バッファ回路

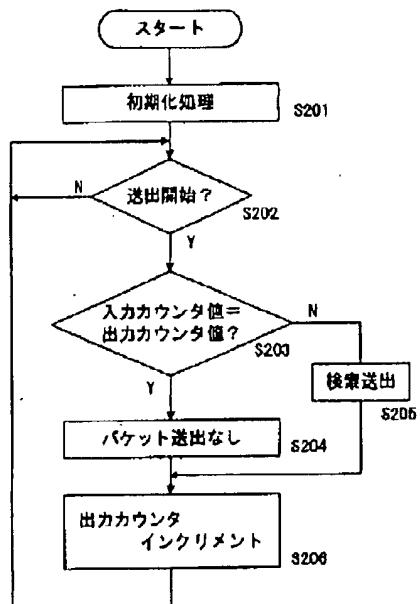
【図1】



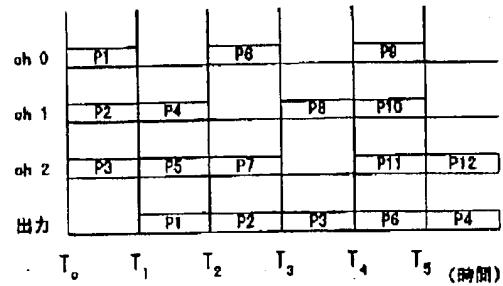
【図2】



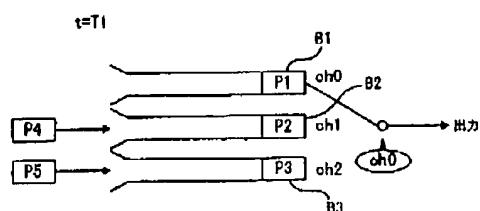
【図3】



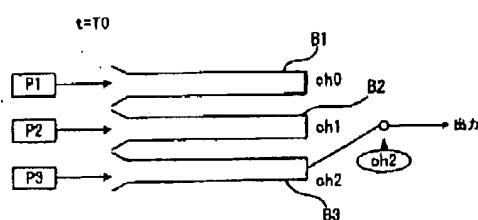
【図4】



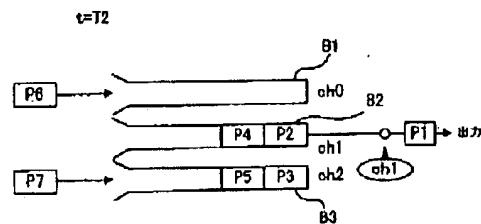
【図6】



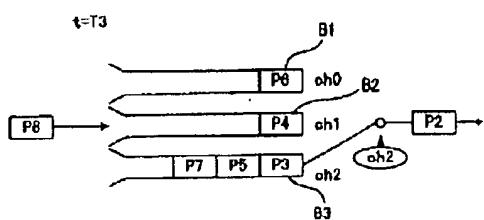
【図5】



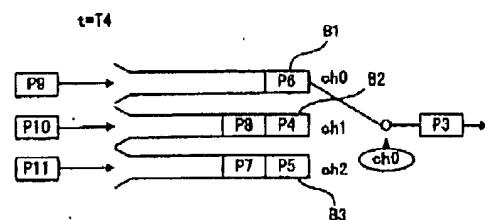
【図7】



【図8】



【図9】



【図10】

